

**Fakultät für Elektrotechnik und Informationstechnik**

**Ergeht an**

- Herr Rektor Univ.-Prof. DI Dr. H. Bischof
- Frau HR DI Dr. U. Tomantschger-Steßl
- die Leiter der betroffenen FoEs
- die Univ.-Prof. der Fakultät für ETIT
- die UL mit Lehrbefugnis der Fakultät für ETIT
- die Mitarbeiter\*innen im Forschungs- und Lehrbetrieb der Fakultät
- die Studierenden des Fachbereichs
- die Kommissionsmitglieder
- Büro des AK für Gleichbehandlungsfragen
- Büro des Senates
- Institute der Fakultät für ETIT
- Veröffentlichung auf der Dekanatshomepage und im Veranstaltungskalender der TU Graz

Univ.-Prof. Dipl.-Ing. Dr.techn.  
Bernd DEUTSCHMANN

Institut für Elektronik  
Inffeldgasse 12/I, A-8010 Graz  
Tel.: +43(0)316-873-7520  
E-Mail: bernd.deutschmann@tugraz.at

Dekanat der Fakultät für ETIT  
Alexandra ZAVEC, MBA  
Inffeldgasse 18, A-8010 Graz  
Tel.: +43(0)316-873-7110  
Fax: +43(0)316-873-107110  
E-Mail: zavec@tugraz.at  
www.etit.tugraz.at

UID: ATU 574 77 929

Graz, am 17.06.2024

**Wissenschaftliches Kolloquium „ESD and EMC aware IC and System Co-Design“  
an der Fakultät für Elektrotechnik und Informationstechnik der TU Graz  
am 01.07.2024: P R O G R A M M**

Sehr geehrte Damen und Herren!

Hiermit lade ich Sie herzlich zu den an der Fakultät für Elektrotechnik und Informationstechnik stattfindenden Vorträgen im Rahmen des wissenschaftlichen Kolloquiums „ESD and EMC aware IC and System Co-Design“ ein:

PROGRAMM für Montag, 01.07.2024 / 10:00 Uhr	Ort
<p><u>Vortragender:</u> <b>Univ.-Prof. Dipl.-Ing. Dr.-Ing. David Johannes POMMERENKE</b> Graz, Österreich</p> <ul style="list-style-type: none"> <li>• <b>Lehrvortrag</b> zum Thema „<b>Grundlagen des Instrumentenverstärkers</b>“</li> <li>• <b>Fachvortrag</b> zum Thema „<b>Risk of Electrostatic Discharge in Heterogenous Integration</b>“</li> </ul> <p><b>Abstract:</b> Heterogeneous integration will allow different semiconductor technologies to be combined and other structures such as antennas to be integrated into one IC. Chiplets with an I/O pitch of 10um and more than 10000 I/O are expected. Discharges during chiplet placement can damage the chiplets. Due to power consumption and die area requirements, it is not possible to include standard ESD protection in these chiplets: The ESD protection is reduced to a few tens of volts. Therefore, the ESD currents of e.g. 30V ESD must be known and modeled to simulate and verify the robustness. The voltages move the frequency spectrum up to 30 GHz with rise times less than 20 ps. This requires novel test methods as current charged device testers are limited to about 10 GHz. The talk will explain the situation, show novel measurement techniques and illustrate the modeling of the ESD protection distributed between the PCB and the integrated circuits. A brief overview of other research, such as mode-stirred chamber and near-field probing, will also be given.</p>	<p><b>Hörsaal i5</b></p> <p>Raumcode: <b>MD011605</b></p> <p><b>Inffeldgasse 25/D, 1. Stock, 8010 Graz</b></p>

Ich freue mich auf Ihr Kommen und verbleibe mit kollegialen Grüßen,

gez. Univ.-Prof. DI Dr. Bernd Deutschmann